

日本国特許庁  
JAPAN PATENT OFFICE

#2  
Priority  
Paper  
2-13-02  
R. N. S.

JC903 U.S. PTO  
10/036955  
12/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2000年12月26日

出願番号  
Application Number:

特願2000-394609

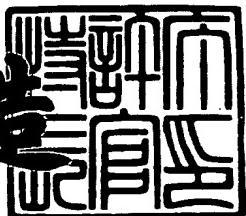
出願人  
Applicant(s):

日本電気株式会社

2001年 9月10日

特許長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3083258

【書類名】 特許願  
 【整理番号】 71110466  
 【あて先】 特許庁長官 及川 耕造 殿  
 【国際特許分類】 H01L 29/78  
 【発明の名称】 半導体装置及びその製造方法  
 【請求項の数】 10  
 【発明者】  
 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内  
 【氏名】 黒 哲  
 【特許出願人】  
 【識別番号】 000004237  
 【氏名又は名称】 日本電気株式会社  
 【代理人】  
 【識別番号】 100090158  
 【弁理士】  
 【氏名又は名称】 藤巻 正憲  
 【電話番号】 03-3433-4221  
 【手数料の表示】  
 【予納台帳番号】 009782  
 【納付金額】 21,000円  
 【提出物件の目録】  
 【物件名】 明細書 1  
 【物件名】 図面 1  
 【物件名】 要約書 1  
 【包括委任状番号】 9715181  
 【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上方に向けてゲート長方向における長さが長くなる部分を有するゲート電極と、このゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウォールと、を有し、前記サイドウォールは前記ゲート電極を覆う層間絶縁膜又はこの層間絶縁膜に形成されたコンタクトに接していることを特徴とする半導体装置。

【請求項 2】 半導体基板と、この半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上方に向けてゲート長方向における長さが長くなる部分を有するゲート電極と、このゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウォールと、を有し、前記サイドウォールはエッチング特性が相違する少なくとも2つの絶縁膜が積層されて形成されていることを特徴とする半導体装置。

【請求項 3】 前記ゲート電極は、ゲート長方向における長さが実質的に一定の下部と、この下部上にて上方に向けてゲート長方向における長さが長くなる上部とを有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記ゲート電極は、前記上部上に、ゲート長方向における長さが実質的に一定で最長のひさし部を有することを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記コンタクトは、前記半導体基板の表面に形成された拡散層まで到達していることを特徴とする請求項 1、3 又は 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記サイドウォールは、前記上部の側方と前記下部の側方とで互いに異なる絶縁膜から形成されていることを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記上部の側面は、テープ状の斜面となっていることを特徴とする請求項 3 乃至 6 のいずれか 1 項に記載の半導体装置。

【請求項8】 半導体基板上に第1及び第2の絶縁膜を順次形成する工程と、前記第2の絶縁膜に深くなるほど狭くなるテーパ状の開口部を形成する工程と、前記開口部の最下部の形状に整合する開口部を前記第1の絶縁膜に形成する工程と、前記第1及び第2の絶縁膜に形成された開口部内に導電膜を埋設してゲート電極を形成する工程と、前記導電膜をマスクとして前記第1及び第2の絶縁膜をエッチングして、前記ゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるサイドウォールを形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項9】 前記第1及び第2の絶縁膜を形成する工程の後に、前記第2の絶縁膜上に第3の絶縁膜を形成する工程と、前記第2の絶縁膜に形成される開口部の最上部の形状に整合する開口部を前記第3の絶縁膜に形成する工程と、を有し、前記第2の絶縁膜に開口部を形成する工程は、前記第3の絶縁膜をマスクとして行われることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記半導体基板の表面に前記導電膜をマスクとしてイオン注入して拡散層を形成する工程と、前記導電膜及び拡散層を覆う層間絶縁膜を形成しこの層間絶縁膜に前記導電膜及び拡散層まで到達するコンタクトホールを形成する工程と、を有することを特徴とする請求項8又は9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はスタティック・ランダム・アクセス・メモリ（以下、SRAMという）に好適な半導体装置及びその製造方法に関し、特に、電界効果トランジスタ（以下、FETという）におけるリーク電流の低減を図った半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近時、SRAMセルにおけるセル面積の縮小を目的として、互いに接続されるMOSトランジスタのゲート及び他のMOSトランジスタのドレインに1個のコ

ンタクトホールを共有させる構造のものが使用されている。図10は従来のSRAMセルの構造を示す断面図である。

#### 【0003】

この従来のSRAMセルにおいては、第1のMOSトランジスタのドレインに第2のMOSトランジスタのゲートが接続される。シリコン基板51上にゲート酸化膜57を介して第2のMOSトランジスタのゲート電極58が形成されている。ゲート電極58及びゲート酸化膜57の側方には、サイドウォール59が形成されている。サイドウォール59直下のシリコン基板51の表面には、第1のMOSトランジスタ側において、低濃度拡散層60aが形成され、その外側には高濃度拡散層60bが形成されている。更に、高濃度拡散層60b上にシリサイド膜60cが形成されている。このようにして第1のMOSトランジスタのドレイン領域が構成されている。

#### 【0004】

また、第1のMOSトランジスタから離間する側のサイドウォール59直下のシリコン基板51の表面には、サイドウォール59の外方からゲート酸化膜57下までSTI (Shallow Trench Isolation) による素子分離用の酸化膜65が形成されている。更に、図10に示す領域での素子分離用の酸化膜65の外側においては、第1のMOSトランジスタのドレイン領域と同様にして、高濃度拡散層60b及びシリサイド膜60cが形成されている。この部分が第2のMOSトランジスタのソース領域の一部 (LDD (Lightly doped Drain) 構造の高濃度領域) となる。ゲート電極58は、図10に図示しない領域を経由して、図10に図示する部位との間でそのソース領域を挟む位置まで迂回している。更に、ゲート電極58のその迂回した部位をソース領域と挟むようにして第2のMOSトランジスタのドレイン領域 (図示せず) が形成されている。

#### 【0005】

更に、第2のMOSトランジスタのゲート電極58及び第1のMOSトランジスタのドレイン用のシリサイド膜60cまで到達する共通コンタクトホール62a並びに第2のMOSトランジスタのソース用のシリサイド膜60cまで到達するコンタクトホール62bが開口された層間絶縁膜61が形成されている。共通

コンタクトホール62aは、サイドウォール59の分だけコンタクトホール62bよりも大きく形成されている。共通コンタクトホール62a及びコンタクトホール62b内には、導電膜63が埋設されている。そして、各導電膜63上には、夫々配線層64が形成されている。配線層64は、例えばTi膜64a、TiN膜64b、Al膜64c、TiN膜64d及びTi膜64eの積層体からなる。

## 【0006】

このように構成された従来のSRAMセルによれば、ゲート用のコンタクトホールとドレイン用のコンタクトホールが共有されているので、これらが個別に設けられている場合と比較すると、セル面積の縮小が可能になる。

## 【0007】

## 【発明が解決しようとする課題】

しかしながら、上述のような構造のSRAMセルを製造しようとする場合、シリコン基板51上にゲート電極58、サイドウォール59及びシリサイド膜60c等を形成した後、全面に層間絶縁膜61を形成し、これに共通コンタクトホール62a及びコンタクトホール62bを開口する必要があるが、この際に、層間絶縁膜61と同時にサイドウォール59もが除去されてしまうという問題点がある。図11は共通コンタクトホール62a及びコンタクトホール62bの形成後の状態を示す断面図である。図11に示すように、サイドウォール59が除去された場合、シリコン基板51へのリーク電流が発生してしまう。層間絶縁膜61及びサイドウォール59のエッチング選択比を制御することによってサイドウォール59の減少を低減することはできるものの、それでもリークを防止するには至らない。

## 【0008】

また、前述のように、共通コンタクトホール62aはサイドウォール59の分だけコンタクトホール62bより大きいため、セル面積の縮小が十分とはいえない。更に、これらの大きさが異なるため、これらの開口にマスクとして使用するレジスト膜のパターンの形成が困難である。

## 【0009】

また、溝ゲート型MOSFETにおいては、スイッチングの遅延時間の短縮を目的として溝の底面及び側面に沿ってゲート酸化膜を形成し、その上に上方に向かってサイズが大きくなる形状のゲート電極を設けたものが提案されているが（特開平7-38095号公報）、この場合でも、共通コンタクトホールを形成しようとすると、サイドウォールが露出してエッチングされることを避けることができない。

## 【0010】

本発明はかかる問題点に鑑みてなされたものであって、サイドウォールの減少に伴うリーク電流の発生を低減することができる半導体装置及びその製造方法を提供することを目的とする。

## 【0011】

## 【課題を解決するための手段】

本発明に係る半導体装置は、半導体基板と、この半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上方に向けてゲート長方向における長さが長くなる部分を有するゲート電極と、このゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウォールと、を有し、前記サイドウォールは前記ゲート電極を覆う層間絶縁膜又はこの層間絶縁膜に形成されたコンタクトに接していることを特徴とする。

## 【0012】

本発明に係る他の半導体装置は、半導体基板と、この半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上方に向けてゲート長方向における長さが長くなる部分を有するゲート電極と、このゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウォールと、を有し、前記サイドウォールはエッチング特性が相違する少なくとも2つの絶縁膜が積層されて形成されていることを特徴とする。

## 【0013】

本発明においては、サイドウォールがゲート電極の上端部に覆われているので、その後に層間絶縁膜にコンタクトホールをエッチングにより形成する場合にも、サイドウォールが上方に露出することがない。従って、サイドウォールの減少

が防止され、これに伴うリーキが防止される。また、上端部を露光装置の限度の小ささとすれば、下端部をより小さくして露光装置の限界よりも小さいゲート長が得られる。これにより、MOSトランジスタをより高速で動作させることができになる。

## 【0014】

なお、前記ゲート電極は、ゲート長方向における長さが実質的に一定の下部と、この下部上にて上方に向けてゲート長方向における長さが長くなる上部とを有することができ、更に、前記上部上に、ゲート長方向における長さが実質的に一定で最長のひさし部を有することができる。

## 【0015】

また、前記コンタクトを前記半導体基板の表面に形成された拡散層まで到達させることにより、共通コンタクトホールの構造を採用したときのSRAMセルの面積をより縮小することができる。

## 【0016】

更に、前記サイドウォールは、前記上部の側方と前記下部の側方とで互いに異なる絶縁膜から形成されていてもよく、前記上部の側面は、テーパ状の斜面となっていててもよい。

## 【0017】

本発明に係る半導体装置の製造方法は、半導体基板上に第1及び第2の絶縁膜を順次形成する工程と、前記第2の絶縁膜に深くなるほど狭くなるテーパ状の開口部を形成する工程と、前記開口部の最下部の形状に整合する開口部を前記第1の絶縁膜に形成する工程と、前記第1及び第2の絶縁膜に形成された開口部内に導電膜を埋設してゲート電極を形成する工程と、前記導電膜をマスクとして前記第1及び第2の絶縁膜をエッチングして、前記ゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるサイドウォールを形成する工程と、を有することを特徴とする。

## 【0018】

本発明方法においては、導電膜をマスクとして第1及び第2の絶縁膜をエッチングすることにより、導電膜がゲート電極となり、第1及び第2の絶縁膜がサイ

ドウォールとなった構造を得ることができる。従って、第1及び第2の絶縁膜は導電膜によって完全に覆われるので、その後のコンタクトホールを形成する工程においてもサイドウォールはエッチングされない。また、サイドウォールを自己整合的に形成できるので、工程数を減少することが可能である。

#### 【0019】

なお、前記第1及び第2の絶縁膜を形成する工程の後に、前記第2の絶縁膜上に第3の絶縁膜を形成する工程と、前記第2の絶縁膜に形成される開口部の最上部の形状に整合する開口部を前記第3の絶縁膜に形成する工程と、を有し、前記第2の絶縁膜に開口部を形成する工程は、前記第3の絶縁膜をマスクとして行われることが好ましい。これらの工程により、より容易に所望の形状の導電膜、即ちゲート電極を得ることが可能になる。

#### 【0020】

また、前記半導体基板の表面に前記導電膜をマスクとしてイオン注入して拡散層を形成する工程と、前記導電膜及び拡散層を覆う層間絶縁膜を形成しこの層間絶縁膜に前記導電膜及び拡散層まで到達するコンタクトホールを形成する工程と、を有することができる。これらの工程により、共通コンタクトホールの構造を得ることができる。

#### 【0021】

なお、第1及び第2の絶縁膜を順次形成する工程の前に、選択的にS T Iによる素子分離用の酸化膜を形成し、更に所定のウェルの形成及びチャネル形成領域へのイオン注入を行う工程を有していてもよい。

#### 【0022】

##### 【発明の実施の形態】

以下、本発明の実施例に係るS R A Mについて、添付の図面を参照して具体的に説明する。図1 (a) は本発明の実施例に係るS R A Mの1セルを示す回路図、(b) はレイアウト図である。また、図2は図1 (b) のA-A線に沿った断面図である。図3は本発明の実施例におけるゲート電極のゲート幅方向に直交する断面の形状を示す断面図である。図4は図1 (b) のB-B線に沿った断面図であり、図5は図1 (b) のC-C線に沿った断面図である。

## 【0023】

本実施例においては、図1 (a) に示すように、1対のデータ線DLに、夫々NチャネルMOSトランジスタTr1及びTr4のソースが接続されている。トランジスタTr1及びTr4のドレインはワード線WLに接続されている。トランジスタTr1のソースには、NチャネルMOSトランジスタTr2及びPチャネルMOSトランジスタTr3の各ドレインが接続され、トランジスタTr4のソースには、NチャネルMOSトランジスタTr5及びPチャネルMOSトランジスタTr6の各ドレインが接続されている。トランジスタTr2及びTr5の各ソースには接地電位が供給され、トランジスタTr3及びTr6のソースには電源電位Vccが供給される。

## 【0024】

上述のような回路構成のSRAMセルは、例えば図1 (b) に示すレイアウトにより実現される。即ち、行方向に延びるゲート電極G1を挟むようにして、トランジスタTr1用のN型拡散層D1及びN型拡散層D2が形成され、トランジスタTr4用のN型拡散層D3及びN型拡散層D4が形成されている。N型拡散層D2は、トランジスタTr2との間で共有されており、このN型拡散層D2との間で行方向に延びるゲート電極G2を挟むようにして、トランジスタTr2用のN型拡散層D5が形成されている。同様に、N型拡散層D4は、トランジスタTr5との間で共有されており、このN型拡散層D4との間で行方向に延びるゲート電極G3を挟むようにして、トランジスタTr5用のN型拡散層D6が形成されている。更に、ゲート電極G2を挟むようにして、トランジスタTr3用のP型拡散層D7及びD8が形成され、ゲート電極G3を挟むようにして、トランジスタTr6用のP型拡散層D9及びD10が形成されている。

## 【0025】

各N型拡散層D1乃至D10上には、層間絶縁膜に開口されたコンタクトホールC1乃至C10が設けられている。また、ゲート電極G2には、その長手方向の中間部からコンタクトホールC4まで延出する延出部が設けられており、N型拡散層D4のコンタクトホールC4は、ゲート電極G2との間で共有されて共通コンタクトホールとなっている。同様に、ゲート電極G3には、その長手方向の

中間部からコンタクトホールC 8まで延出する延出部が設けられており、P型拡散層D 8のコンタクトホールC 8は、ゲート電極G 3との間で共有されて共通コンタクトホールとなっている。ゲート電極G 1については、後述のように、独立してコンタクトホールC 11が設けられている。なお、N型拡散層D 2とP型拡散層D 8とは、コンタクトホールC 2及びC 8を介して上層の配線層（図示せず）により互いに接続され、N型拡散層D 4とN型P型拡散層D 10とは、コンタクトホールC 4及びC 10を介して上層の配線層（図示せず）により互いに接続されている。また、拡散層C 1及びC 3は、夫々コンタクトホールC 1及びC 3を介してデータ線D Lに接続され、ゲート電極G 1は、コンタクトホールC 11を介してワード線W Lに接続される。更に、N型拡散層D 5及びD 6には、コンタクトホールC 5及びC 6を介して電源電位G N Dが供給され、P型拡散層D 7及びD 9には、コンタクトホールC 7及びC 9を介して電源電位V c cが供給される。

#### 【0026】

トランジスタTr 2及びトランジスタTr 5の近接領域では、図2に示すように、シリコン基板1上にゲート酸化膜7を介してゲート電極8a（ゲート電極G 2の延出部）が形成されている。ゲート電極8aは、図3に示すように、ひさし部8b、上部8c及び下部8dの3段構造を有している。ひさし部8bの断面形状は長方形であり、その大きさは、例えば高さ：40nm、幅：140nmである。下部8dの断面形状も長方形であり、その大きさは、例えば高さ40nm、幅：50nmである。上部8cの断面形状は下辺が短い等脚台形であり、その大きさは、例えば上辺：140nm、下辺：50nm、高さ：80nmである。また、ひさし部8bの側部と上部8cの側部とがなす角度（テーパ角度） $\alpha$ は、例えば30°程度である。

#### 【0027】

また、上部8cの側方には、ひさし部8bに覆われるようにして絶縁膜3が形成され、下部8d及びゲート酸化膜7の側方には、ひさし部8bに覆われるようにして絶縁膜2が形成されている。これらの絶縁膜3及び絶縁膜2からサイドウォール9が構成されている。

## 【0028】

トランジスタTr5側の絶縁膜2直下のシリコン基板1の表面には、低濃度拡散層10aが形成され、その外側には高濃度拡散層10bが形成されている。更に、高濃度拡散層10b上にシリサイド膜10cが形成されている。低濃度拡散層10a、高濃度拡散層10b及びシリサイド膜10cからLDD構造のソース・ドレイン領域（N型拡散層D4）が構成されている。

## 【0029】

また、トランジスタTr5から離間する側の絶縁膜2直下のシリコン基板1の表面には、絶縁膜2の外方からゲート酸化膜7下までSTIによる素子分離用の酸化膜15が形成されている。更に、図2に示す領域での素子分離用の酸化膜15の外側においては、トランジスタTr5のドレイン領域と同様にして、高濃度拡散層10b及びシリサイド膜10cが形成されている。この部分がトランジスタTr2のソース領域の一部（LDD構造の高濃度領域）となる。ゲート電極8aは、図1（b）に示すように、図2に図示する部位との間でそのソース領域（N型拡散層D2）を挟む位置まで迂回しており、ゲート電極58のその迂回した部位をソース領域（N型拡散層D2）と挟むようにしてトランジスタTr2のドレイン領域（N型拡散層D5）が形成されている。

## 【0030】

更に、ゲート電極8a及びN型拡散層D4のシリサイド膜10cまで到達する共通コンタクトホール12a並びにN型拡散層D2のシリサイド膜10cまで到達するコンタクトホール12bが形成された層間絶縁膜11が形成されている。共通コンタクトホール12a及びコンタクトホール12b内には、Al又はCu等からなる導電膜13が埋設されている。そして、各導電膜13上には、夫々配線層14が形成されている。配線層14は、例えばTi膜14a、TiN膜14b、Al膜14c、TiN膜14d及びTi膜14eの積層体からなるが、Al膜14cの替わりにCu膜が設けられることもある。

## 【0031】

トランジスタTr3及びTr6の近接領域も、拡散層等の導電型が反転していることを除いて、同様の構造となっている。また、ゲート電極G2及びG3の他

の部分においても、上述の延出部と同様に、ひさし部に覆われるようにしてサイドウォールが形成されている。

#### 【0032】

一方、トランジスタTr1及びTr4は、図4に示すように、層間絶縁膜11上の配線層14とゲート電極及び拡散層との接続のための構造を除いて、トランジスタTr2、Tr3 Tr5及びTr6と実質的に同様に構成されている。即ち、図4に示すように、共通コンタクトホール12aは形成されておらず、コンタクトホール12bとの間でゲート電極8aを挟む位置にN型拡散層D1のシリサイド膜10cのみに到達するコンタクトホール12cが形成されている。また、図5に示すように、ゲート電極8aのみに到達するコンタクトホール12dが、ソース・ドレイン領域から離間した位置に形成されている。なお、ゲート電極8aには、コンタクトホール12dの下方においてハンマーヘッドが形成されている。また、ハンマーヘッドが形成された領域においては、絶縁膜2及びゲート酸化膜7直下のシリコン基板1の表面に、STIによる素子分離用の酸化膜15が形成されている。

#### 【0033】

このように構成された本実施例のSRAMによれば、平面視でひさし部8bの外側にはサイドウォールが存在しないため、共通コンタクトホールの12aの大きさをコンタクトホール12bと同程度のものにすることができる。このため、よりセル面積の低減が可能になる。また、ひさし部においては、その上面だけでなく側面によっても導電膜13に接触しているため、コンタクト抵抗が低減される。

#### 【0034】

なお、このようにゲート長方向における長さが長くなる部分を有するゲート電極、及びこのゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるようになに形成されたサイドウォールが設けられた構造のトランジスタは、本実施例のようなSRAMセルだけでなく、ロジック回路等においても、従来のMOSFETと同様にして使用することができる。

#### 【0035】

次に、上述の実施例におけるトランジスタTr2、Tr3、Tr5及びTr6を製造する方法について説明する。図6乃至図9は本発明の実施例に係る半導体装置の製造方法を工程順に示す断面図である。なお、図6乃至図9には図2に相当する領域を示している。

## 【0036】

先ず、図6(a)に示すように、シリコン基板1の表面に、選択的にSTIによる素子分離用の酸化膜15を形成し、更に所定のウェル(図示せず)の形成及びチャネル形成領域(図示せず)へのイオン注入を行う。その後、シリコン基板1上に絶縁膜2、絶縁膜3及び絶縁膜4を順次形成する。絶縁膜2は、例えば $\text{SiO}_2$ 等からなり、その膜厚は、例えば40nmである。絶縁膜3は、例えば $\text{Si}_3\text{N}_4$ 、 $\text{SiON}$ 又は $\text{SiC}$ 等からなり、その厚さは、例えば80nmである。また、絶縁膜4は、例えば $\text{SiO}_2$ 又はBPSG(Boron-doped Phosphor-Silicate Glass)等からなり、その厚さは、例えば140nmである。更に、絶縁膜4上にレジスト膜5を形成し、このレジスト膜5にゲート電極8aのひさし部8bの幅と同じ幅(例えば140nm)の開口部5aを形成する。そして、レジスト膜5をマスクとして絶縁膜4をエッティングして開口部4aを絶縁膜4に形成する。このときのエッティングガスとしては、例えば $\text{C}_4\text{F}_8$ 、 $\text{O}_2$ 及び $\text{Ar}$ からなる混合ガスを使用することができる。

## 【0037】

次に、図6(b)に示すように、絶縁膜4をマスクとして絶縁膜3をエッティングして深くなるに連れて狭くなるテーパ状の開口部3aを絶縁膜3に形成する。このときのエッティングガスとしては、絶縁膜3が $\text{Si}_3\text{N}_4$ からなる場合には、例えば $\text{CHF}_3$ 、 $\text{CO}$ 及び $\text{O}_2$ からなる混合ガスを使用することができ、絶縁膜3が $\text{SiON}$ 又は $\text{SiC}$ からなる場合には、例えば $\text{CHF}_3$ 、 $\text{O}_2$ 及び $\text{Ar}$ からなる混合ガスを使用することができる。 $\text{CHF}_3$ を含有するエッティングガスを使用することにより、エッティングと同時に、新たに形成された開口部の周囲に堆積物が形成されるので、テーパ状の開口部3aを形成することができる。なお、絶縁膜3が $\text{Si}_3\text{N}_4$ からなる場合の各ガスの流量は、例えば標準状態で、 $\text{CHF}_3$ が10乃至30ml/min、 $\text{CO}$ が140乃至350ml/min、 $\text{O}_2$ が10乃至50ml

／分である。このような流量であれば、開口部3aの側壁と開口部4aの側壁とがなす角度（テーパ角度） $\alpha$ は、例えば30乃至60°程度になる。開口部5aの幅が140nmの場合に、30°のテーパ角度の開口部3aを形成すると、その最下部での幅は約50nmになる。開口部3aの最下部の幅は、50乃至80nm程度であることが好ましい。エッティングガス中のCO及びO<sub>2</sub>の流量を多くすることにより、開口部3aの側壁部の傾斜をより緩やかにすることができ、テーパ角度 $\alpha$ を60°程度まで大きくすることができる。但し、テーパ角度を大きくする場合には、開口部3aの最下部の幅が狭くなりすぎることもあるため、開口部2aを必要な大きさにするために予め開口部5aを大きめに形成しておく必要がある場合もある。

#### 【0038】

次いで、図7(a)に示すように、絶縁膜3をマスクとして絶縁膜2をエッティングして開口部2aを絶縁膜2に形成する。この結果、開口部2a、3a及び4aからなる溝6が形成される。なお、このときのエッティングガスとしては、例えばC<sub>4</sub>F<sub>8</sub>、O<sub>2</sub>及びArからなる混合ガスを使用することができる。

#### 【0039】

その後、図7(b)に示すように、レジスト膜5を除去し、全面にゲート酸化膜7を形成する。ゲート酸化膜7は、例えばSiO<sub>2</sub>、SiON、HfO<sub>2</sub>、ZrO<sub>2</sub>又はAl<sub>2</sub>O<sub>3</sub>等からなる。なお、ゲート酸化膜7を形成する前に、開口部2aに露出したシリコン基板1の表面を、8nm程度の深さで熱酸化して犠牲酸化膜（図示せず）を形成し、この犠牲酸化膜をエッティングレートを小さくしたバッファドフッ酸を使用してウェットエッティングにより除去しておくことが好ましい。このような犠牲酸化膜の形成及び除去によって、開口部2aの形成の際にドライエッティングによってシリコン基板1の表面に損傷が発生した場合であっても、これが除去される。なお、図7(b)では、開口部2a内部のみにゲート酸化膜7を示している。

#### 【0040】

続いて、図8(a)に示すように、全面に導電膜8を堆積する。導電膜8により溝6が埋め込まれる。導電膜8は、例えばポリシリコン、W、TiW、SiG

e又はA1等からなり、その厚さは、例えば300nmである。

#### 【0041】

次に、図8(b)に示すように、導電膜4上の導電膜8及び約100nmの絶縁膜4を化学機械的研磨(CMP:Chemical-Mechanical Polishing)により除去する。このとき、溝6内の導電膜4も残存する絶縁膜4と同じ位置まで研磨され、全体的に平坦化される。この結果、絶縁膜4の厚さは約40nmになると共に、3段構造のゲート電極8aが形成される。

#### 【0042】

次いで、図8(c)に示すように、ゲート電極8aをマスクとして絶縁膜4、絶縁膜3及び絶縁膜2をエッティングする。この結果、絶縁膜3及び絶縁膜2のゲート電極8aのひさし部8bに覆われた部分のみが残存し、この残存した部分によりサイドウォール9が自己整合的に(セルフアラインで)形成される。

#### 【0043】

その後、ゲート酸化膜7の下方にパンチスルー防止用のポケット領域(図示せず)を斜方からのイオン注入により形成する。更に、図9(a)に示すように、拡散層形成予定領域内において、斜方からのイオン注入により絶縁膜2直下のシリコン基板1の表面に低濃度拡散層10aを形成する。続いて、露出しているシリコン基板1の表面にイオン注入により高濃度拡散層10bを形成する。更に、高濃度拡散層10b上に高融点金属膜(図示せず)を堆積し、この高融点金属膜を例えば加熱によってシリコン基板1と反応させることにより、シリサイド膜10cを形成する。低濃度拡散層10a、高濃度拡散層10b及びシリサイド膜10cからLDD構造のソース・ドレイン領域が構成される。高融点金属膜は、例えばTi、Co、Ni又はPt等からなる。

#### 【0044】

次に、図9(b)に示すように、全面に層間絶縁膜11を形成し、この層間絶縁膜11に共通コンタクトホール12a及びコンタクトホール12bを形成する。共通コンタクトホール12aは、ゲート電極8a(ゲート電極G2及びG3の延出部の端部)と拡散層D4及びD8との境界にコンタクトホールC4及びC8として形成し、コンタクトホール12bは、コンタクトホールC1、C2、C3

、C5、C6、C7、C9、C10及びC11として形成する。共通コンタクトホール12a及びコンタクトホール12cの大きさは、互いに同程度であってもよい。

## 【0045】

そして、これらの共通コンタクトホール12a及びコンタクトホール12c内にA1又はCu等からなる導電膜（図示せず）を埋設し、その上層にバリア膜及び配線等（図示せず）を形成して、通常の方法によりトランジスタを完成させる。

## 【0046】

このような製造方法によれば、層間絶縁膜11に共通コンタクトホール12a及びコンタクトホール12bを形成する際には、サイドウォール9は、ゲート電極8aのひさし部8bに完全に覆われているため、エッチングされない。従って、サイドウォール9の減少がないので、リーク電流を低減することができる。また、サイドウォール9をひさし部8bをマスクとして自己整合的に（セルフアラインで）形成することができるため、従来のように全面に絶縁膜を堆積させてエッチバックする方法と比して、工程数を低減することができる。更に、開口部5aの大きさを露光装置の能力からして限界の小ささとした場合でも、開口部2aの大きさをより小さいものにすることができるため、露光限界よりも小さいゲート長を得ることができる。特に、本実施例では、サイドウォール9をエッティング特性が相違する少なくとも2つの絶縁膜2及び3を積層して形成しているので、所望の形状のテーパ状の開口部3aを容易に形成することができ、所望の形状のゲート電極8aを得ることができる。これにより、より高速で動作するMOSトランジスタを得ることができる。

## 【0047】

なお、上述の方法では、絶縁膜3上に絶縁膜4を形成しているが、絶縁膜4を形成せずに、より厚い、例えば220nmの絶縁膜3を形成してもよい。この場合、レジスト膜5に開口部5aを形成した後に、例えばCF<sub>4</sub>を使用して絶縁膜3を140nm程度真っ直ぐエッチングし、その後、絶縁膜3の残りの80nm程度の部分に対し上述の方法と同様の条件でテーパ状にエッティングすればよい。

## 【0048】

また、所定形状のゲート電極8aを得ることができれば、絶縁膜4を形成せずに、厚さが80nm程度の絶縁膜3上にレジスト膜を形成しこれをマスクとしてテーパ状にエッティングし、レジスト膜を除去して導電膜8を形成してもよい。但し、ゲート電極8aの高さの確保等の観点から、上述の方法のように絶縁膜4を形成してCMPを行うことが好ましい。

## 【0049】

更に、絶縁膜2、3及び4の原料については、前述のようなものに限定されるものではなく、互いに所定のエッティング比を得ることができればよい。例えば、絶縁膜2及び4を窒化膜から形成し、絶縁膜3を酸化膜から形成してもよい。この場合でも、絶縁膜3のエッティングには、CHF<sub>3</sub>を含有したガスを使用することが好ましい。

## 【0050】

## 【発明の効果】

以上詳述したように、本発明によれば、サイドウォールをゲート電極の上端部により覆っているので、その形成工程において層間絶縁膜にコンタクトホールをエッティングにより形成する場合にも、サイドウォールが上方に露出することを防止することができる。従って、サイドウォールの減少を防止してリークの発生を防止することができる。また、上端部を露光装置の限度の小ささとすれば、下端部をより小さくして露光装置の限界よりも小さいゲート長を得ることができる。これにより、MOSトランジスタの高速動作が可能になる。更に、サイドウォールは、平面視で上部の内側に存在するので、共通コンタクトホールの構造を採用したときのSRAMセルの面積をより縮小することができる。

## 【0051】

また、サイドウォールをエッティング特性が相違する少なくとも2つの絶縁膜を積層して形成する場合には、所望の形状のテーパ状の開口部を容易に形成することができるので、この開口部内に所望の形状のゲート電極を得ることができる。

## 【0052】

本発明方法によれば、導電膜がゲート電極となり、第1及び第2の絶縁膜がサ

イドウォールとなった構造を得ることができる。従って、サイドウォールになる第1及び第2の絶縁膜はゲート電極になる導電膜によって完全に覆われるので、その後のコンタクトホールを形成する工程においてもサイドウォールがエッチングされて減少することを防止することができる。また、サイドウォールを自己整合的に形成できるので、工程数を減少することができる。

【図面の簡単な説明】

【図1】

(a) は本発明の実施例に係るSRAMの1セルを示す回路図、(b) はレイアウト図である。

【図2】

図1 (b) のA-A線に沿った断面図である。

【図3】

本発明の実施例におけるゲート電極のゲート幅方向に直交する断面の形状を示す断面図である。

【図4】

図1 (b) のB-B線に沿った断面図である。

【図5】

図1 (b) のC-C線に沿った断面図である。

【図6】

本発明の実施例方法に半導体装置を製造する方法を工程順に示す断面図である

【図7】

図6に示す工程の次工程を示す断面図である。

【図8】

図7に示す工程の次工程を示す断面図である。

【図9】

図8に示す工程の次工程を示す断面図である。

【図10】

従来のSRAMセルの構造を示す断面図である。

【図11】

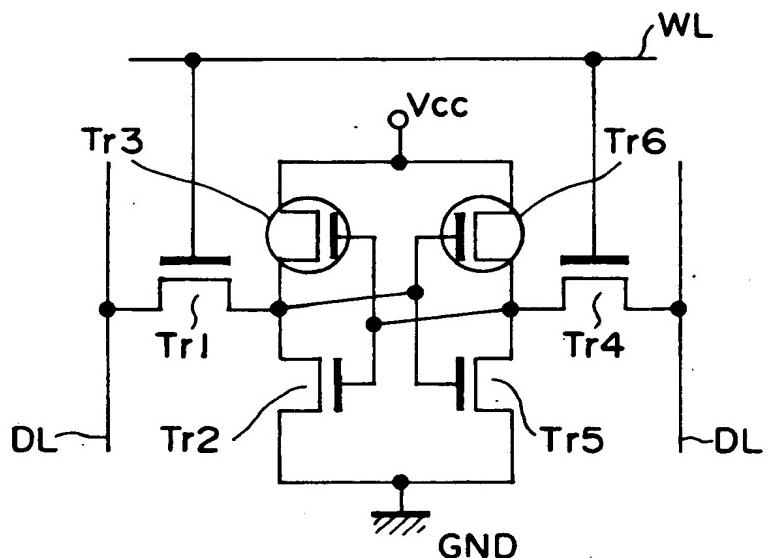
共通コンタクトホール62a及びコンタクトホール62bの形成後の状態を示す断面図である。

【符号の説明】

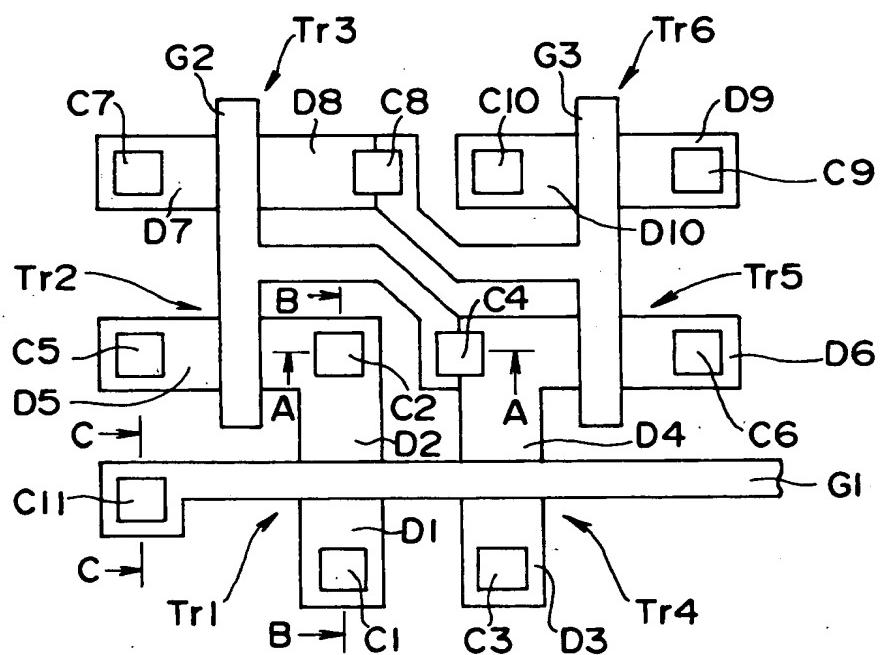
- 1 ; シリコン基板
- 2、3、4 ; 絶縁膜
- 2a、3a、4a ; 開口部
- 5 ; レジスト膜
- 6 ; 溝
- 7 ; ゲート酸化膜
- 8、13 ; 導電膜
- 8a ; ゲート電極
- 8b ; ひさし部
- 8c ; 上部
- 8d ; 下部
- 9 ; サイドウォール
- 10a、10b ; 拡散層
- 10c ; シリサイド膜
- 11 ; 層間絶縁膜
- 12a、12b、12c ; コンタクトホール
- 14 ; 配線層
- 14a、14e ; Ti膜
- 14b、14d ; TiN膜
- 14c ; Al膜
- 15 ; STIによる素子分離用の酸化膜

【書類名】 図面

【図1】



(a)



(b)

WL : ワード線

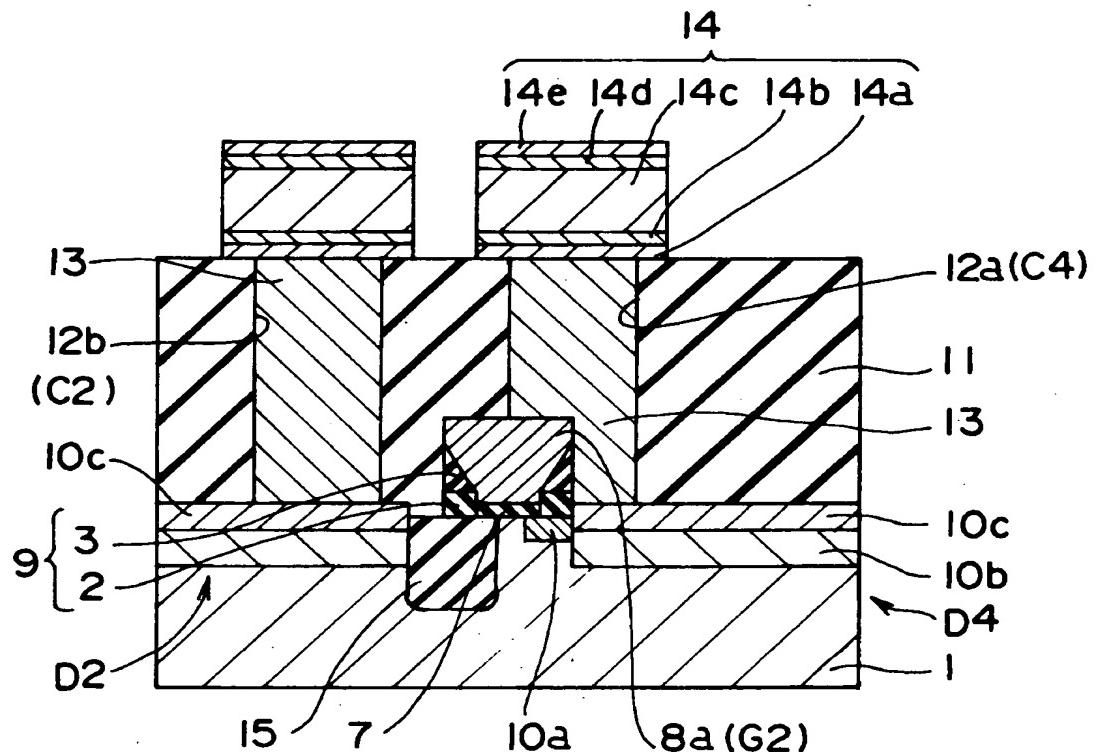
DL : データ線

C1~C10 : コンタクトホール

D1~D10 : 拡散層

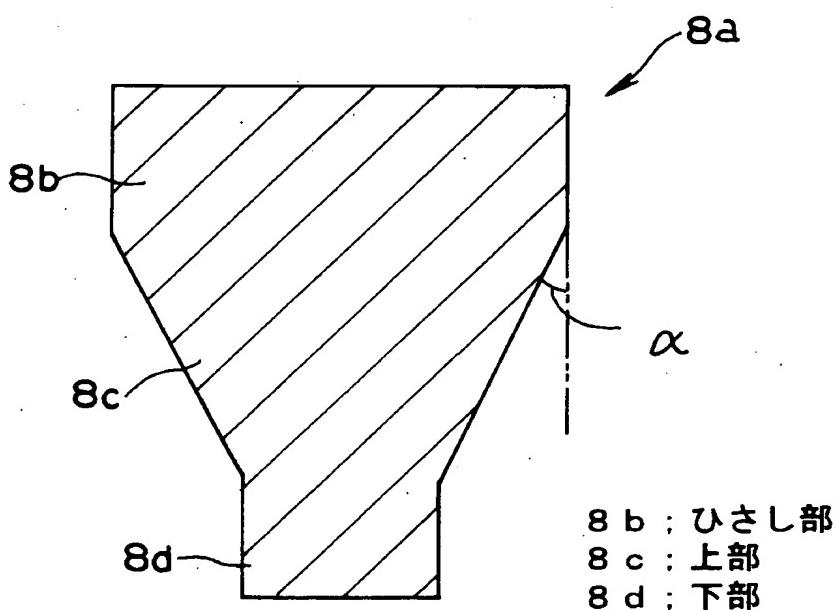
G1~G3 : ゲート電極

【図2】

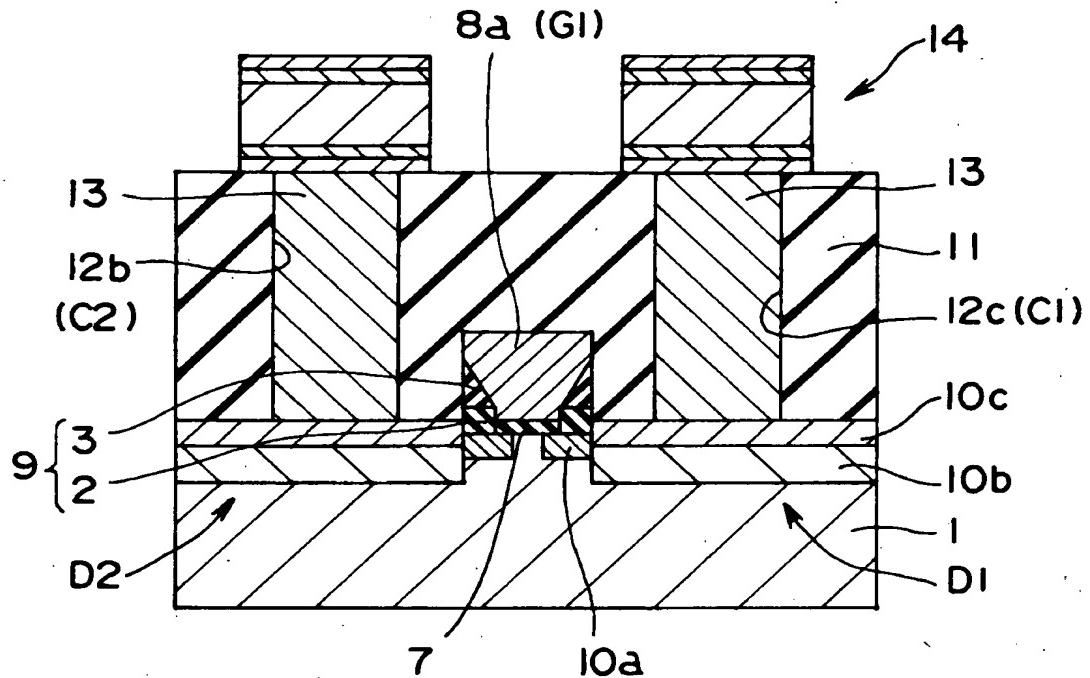


2、3：絶縁膜  
 8a：ゲート電極  
 9：サイドウォール  
 12a、12b：コンタクトホール

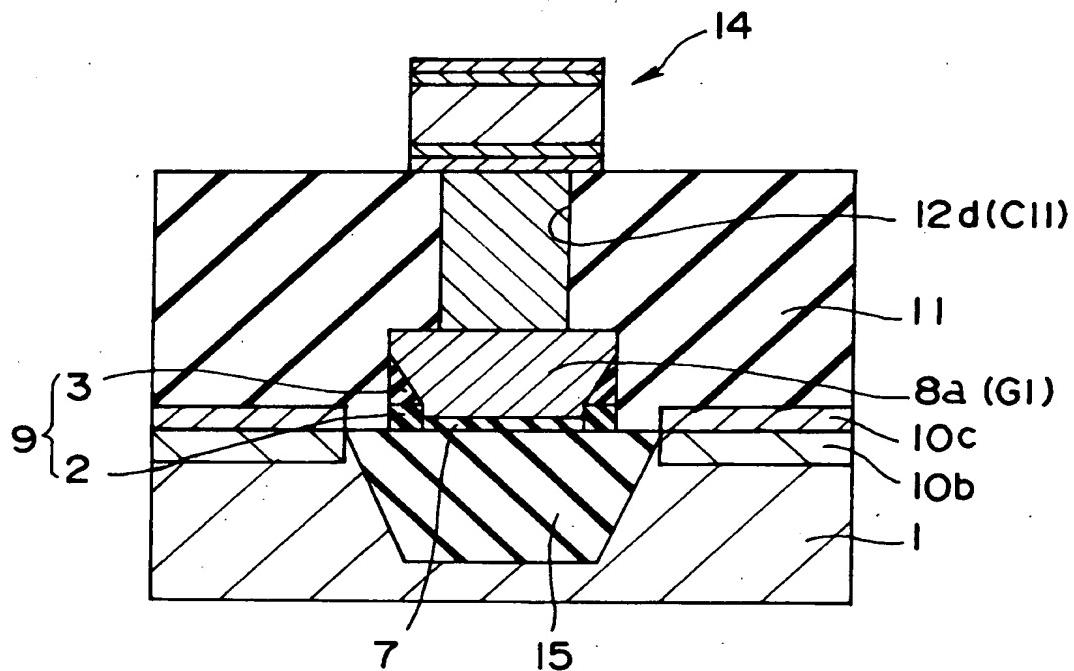
【図3】



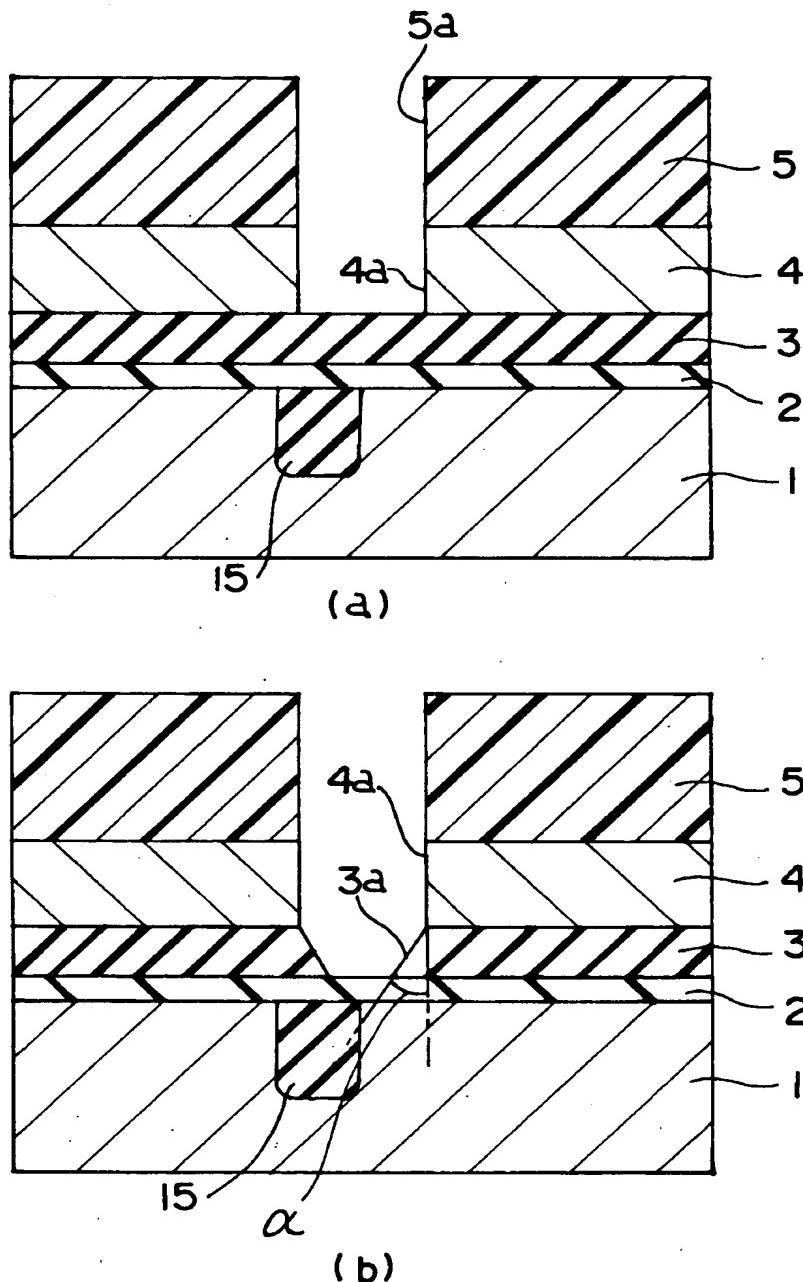
【図4】



【図5】

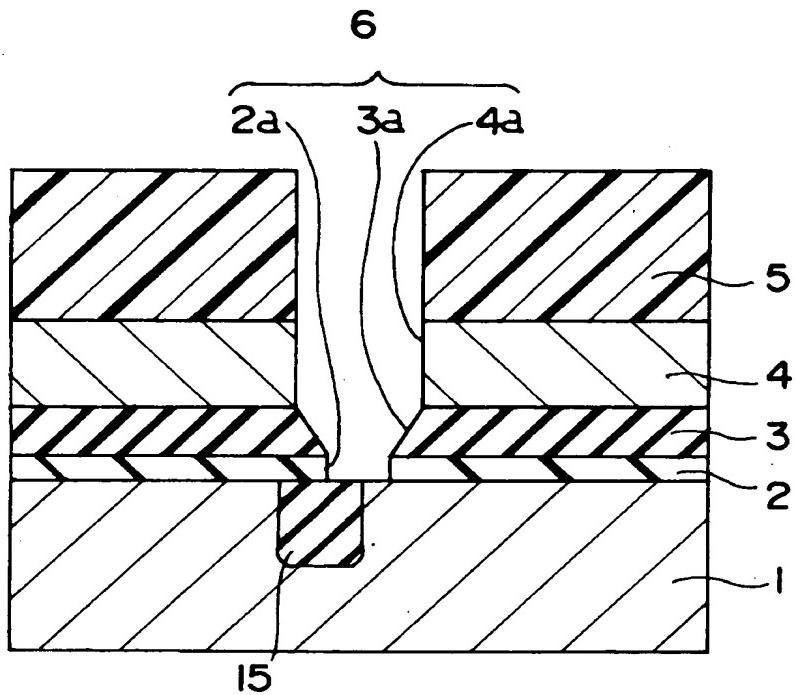


【図6】

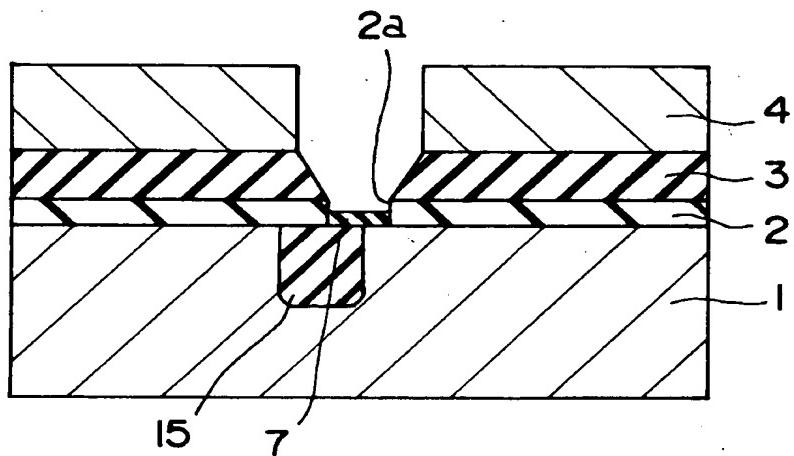


- 1 : シリコン基板
- 2、3、4 : 絶縁膜
- 3a、4a : 開口部
- 5 : レジスト膜
- 15 : STI による素子分離用の酸化膜

【図7】



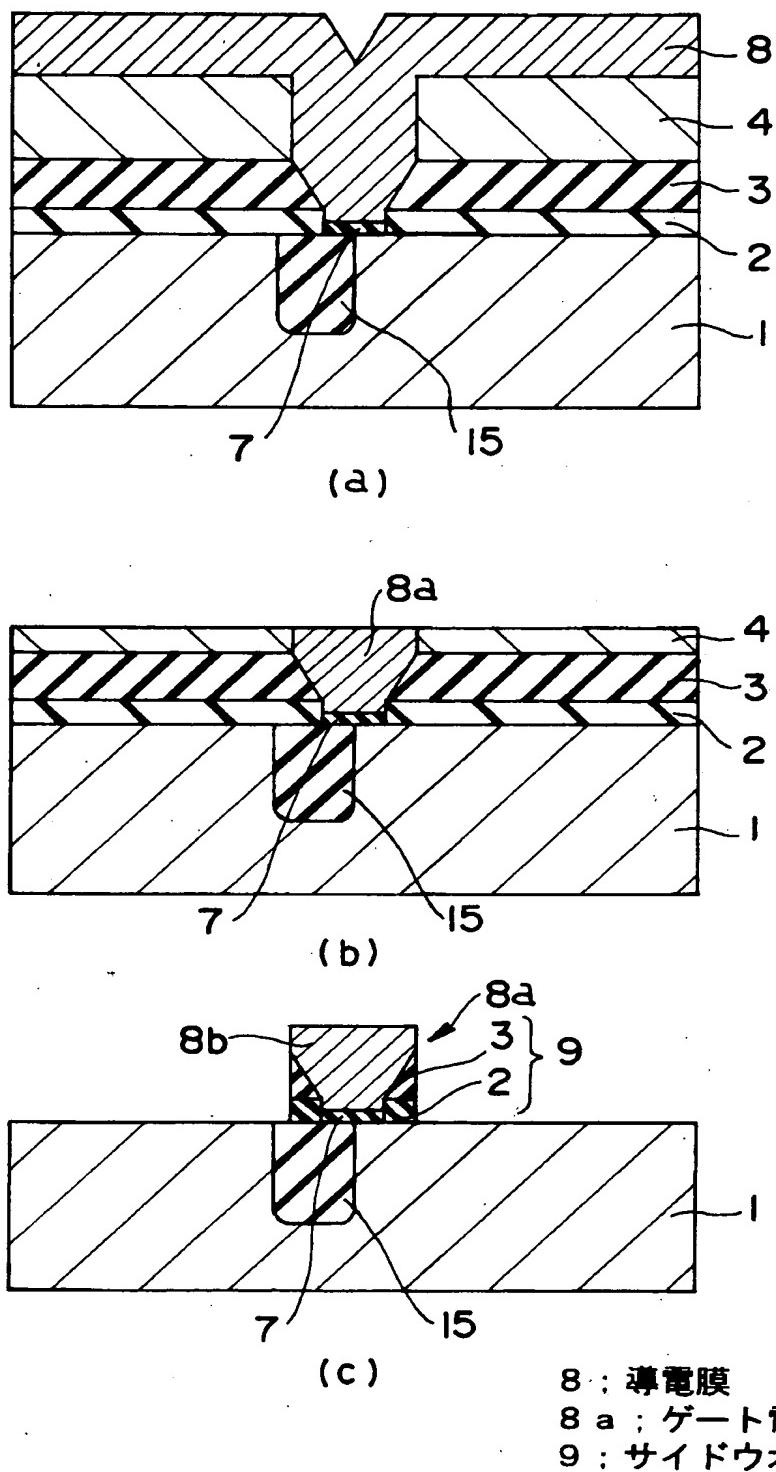
(a)



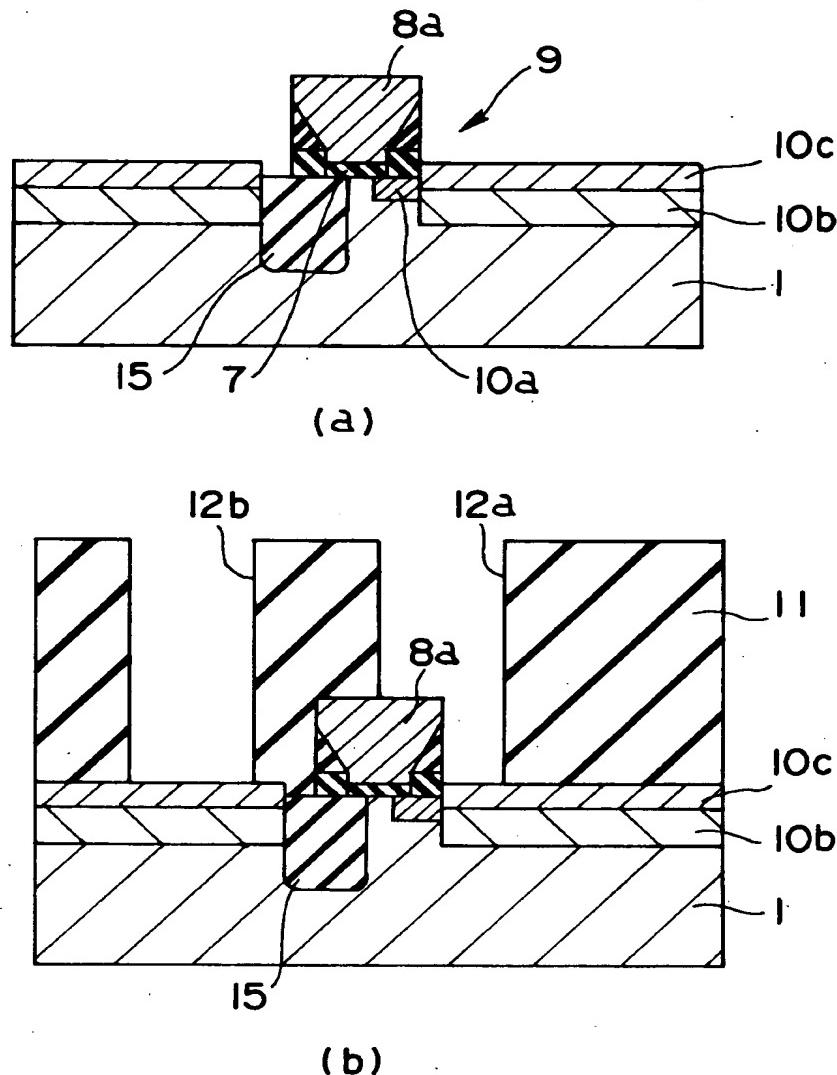
(b)

2a : 開口部  
6 : 溝  
7 : ゲート酸化膜

【図8】



【図9】



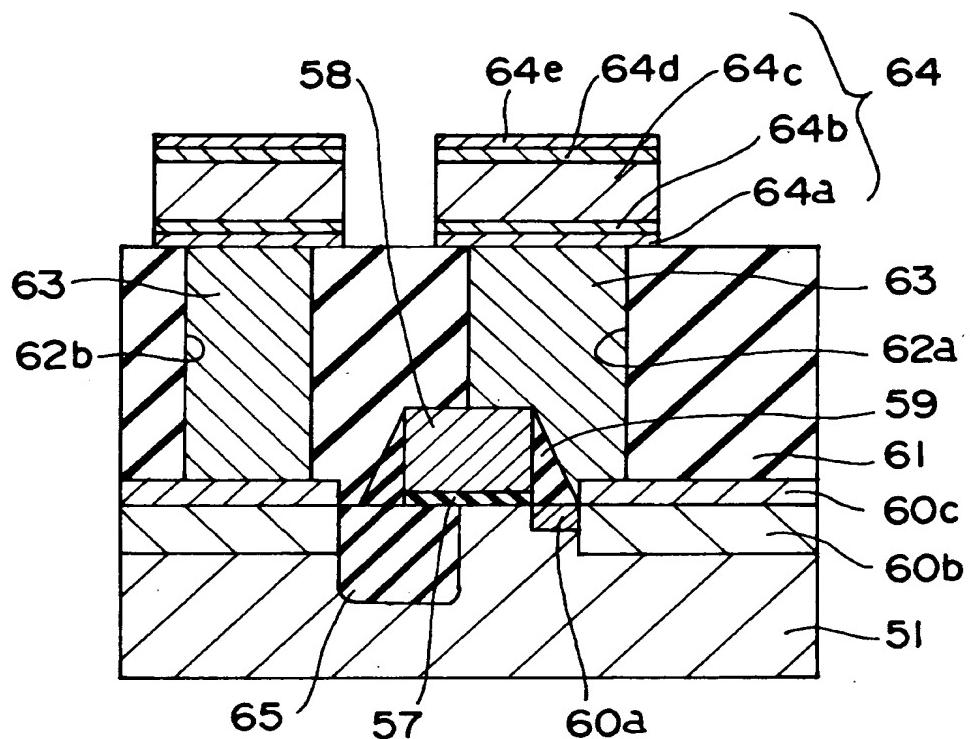
10a、10b : 拡散層

10c : シリサイド膜

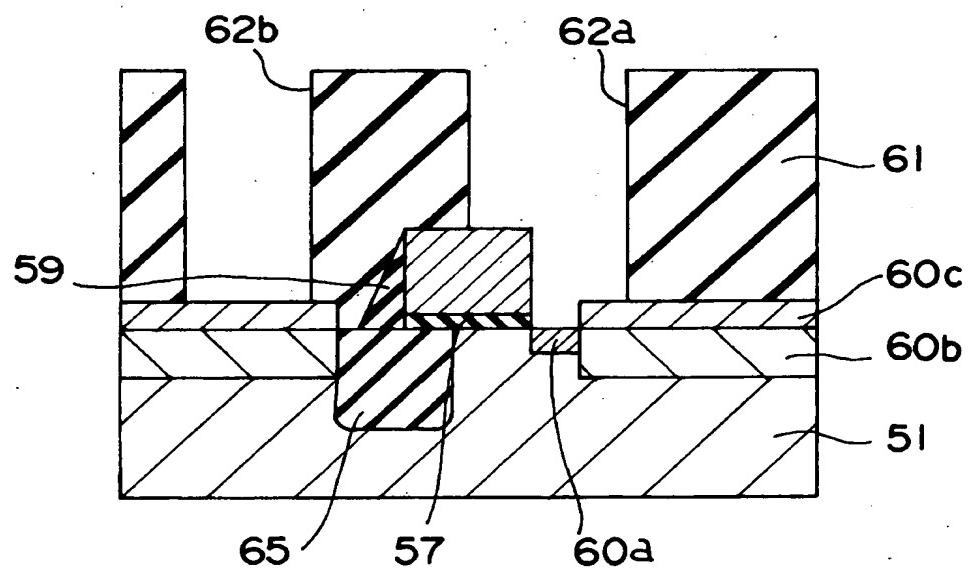
11 : 層間絶縁膜

12a、12b : コンタクトホール

【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 サイドウォールの減少に伴うリーキ電流の発生を低減することができる半導体装置及びその製造方法を提供する。

【解決手段】 シリコン基板1上にゲート酸化膜7を介してゲート電極8aが形成されている。ゲート電極8aは、ひさし部、上部及び下部の3段構造を有している。ひさし部の断面形状は長方形であり、下部の断面形状も長方形であり、上部の断面形状は下辺が短い等脚台形である。また、ひさし部の側部と上部8cの側部とがなす角度(テーパ角度)αは、例えば30°程度である。上部の側方には、ひさし部に覆われるようにして絶縁膜3が形成され、下部及びゲート酸化膜7の側方には、ひさし部に覆われるようにして絶縁膜2が形成されている。これらの絶縁膜3及び絶縁膜2からサイドウォール9が構成されている。

【選択図】 図2

認定・付加情報

特許出願の番号	特願2000-394609
受付番号	50001678869
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年12月27日

<認定情報・付加情報>

【提出日】 平成12年12月26日

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社